

JP02009277 A

VIDEO MEMORY DEVICE

SONY CORP

Inventor(s): ;NOGUCHI YASUSHI ;YOSHIKAWA MUNEHIRO ;TAKANO SHUNSUKE ;YOSHIMURA KOSUKE

Application No. 63159934 JP63159934 JP, Filed 19880628,A1 Published 19900112

Abstract: PURPOSE: To read a video signal with high vertical resolution by supplying an output selected in the timing of an internal horizontal synchronous signal synchronously with an external synchronous signal obtained from a horizontal counter or the external horizontal synchronous signal among count outputs of a vertical counter to a memory as a vertical address signal.

CONSTITUTION: An external vertical synchronous signal  $VD_1$  is supplied to a clear terminal of the vertical counter 10 from a synchronous separator circuit 2 and an internal frequency signal FS having the frequency twice that of the horizontal frequency is supplied from a horizontal counter 7 to its clock terminal. Then an output terminal 11 from which the internal vertical synchronous signal  $VD_2$  is outputted is led out of the output of the counter 10. The input video signal from the input terminal 1 is fed to an A/D conversion circuit 27 and converted into a digital video signal and it is fed to a serial transfer line memory of a video memory 29 and transferred to a frame memory section in the timing of the front edge of the external horizontal synchronous signal  $HD_1$  as the transfer pulse. Thus, the video image with high vertical resolution is reproduced.

COPYRIGHT: (C)1990,JPO&Japio

Int'l Class: H04N005907;

Patents Citing this One: No US, EP, or WO patents/search reports have cited this patent.

## ⑫ 公開特許公報(A)

平2-9277

⑤Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬公開 平成2年(1990)1月12日

H 04 N 5/907

B

6957-5C

審査請求 未請求 請求項の数 1 (全8頁)

⑭発明の名称 映像記憶装置

⑯特 願 昭63-159934

⑰出 願 昭63(1988)6月28日

⑱発明者	野 口 泰	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑱発明者	吉 川 宗 宏	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑱発明者	高 野 俊 介	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑱発明者	吉 村 幸 祐	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑲出願人	ソニー株式会社	東京都品川区北品川6丁目7番35号	
⑳代理人	弁理士 松隈 秀盛		

## 明 細 書

発明の名称 映像記憶装置

特許請求の範囲

映像信号をフレーム単位で記憶するメモリと、  
クロック信号が供給されて計数され、上記映像  
信号に関連した外部水平同期信号に同期した水平  
周波数の2倍の周波数を有する内部周波数信号を  
発生する水平カウンタと、

上記内部周波数信号が供給されて計数され、上  
記映像信号に関連した外部垂直同期信号に同期し  
た内部垂直同期信号を発生する垂直カウンタとを  
有し、

上記垂直カウンタの計数出力の内、上記外部水  
平同期信号又は上記水平カウンタから得た上記外  
部同期信号に同期した内部水平同期信号のタイミ  
ングで選択された出力を、垂直アドレス信号とし  
て上記メモリに供給するようにしたことを特徴と  
する映像記憶装置。

発明の詳細な説明

(産業上の利用分野)

本発明は静止画通信端末、デジタルテレビジ  
ョン受像機、パーソナルコンピュータ等に適用して  
好適であって、映像信号をフレーム単位で記憶す  
ることのできる映像記憶装置に関する。

## (発明の概要)

本発明は、映像信号をフレーム単位で記憶する  
メモリと、クロック信号が供給されて計数され、  
映像信号に関連した外部水平同期信号に同期した  
水平周波数の2倍の周波数を有する内部周波数信  
号を発生する水平カウンタと、内部周波数信号が  
供給されて計数され、映像信号に関連した外部垂  
直同期信号に同期した内部垂直同期信号を発生す  
る垂直カウンタとを設け、垂直カウンタの計数出  
力の内、外部水平同期信号又は水平カウンタから  
得た外部同期信号に同期した内部水平同期信号の  
タイミングで選択された出力を、垂直アドレス信  
号としてメモリに供給するようにしたことにより、  
メモリに記憶すべき映像信号がインターレース方  
式あるいはノンインターレース方式の信号のいず

れであっても、又、元々インターレース方式の信号であって、フィールドの奇偶が明らかでなかったり、奇数及び偶数フィールドの信号が入乱れていても、回路構成簡単にして、垂直解像度の高い映像信号が読み出れ得るようにしたものである。

#### (従来の技術)

静止画通信端末装置等における従来の映像記憶装置について説明する。この映像記憶装置は、映像信号をデジタル映像信号に変換するA/D変換回路と、そのデジタル映像信号の1フレーム分を記憶するビデオメモリ(ビデオRAM)(フレームメモリ)と、水平及び垂直カウンタ並びにビデオメモリに対する書き込み及び読み出しを制御するメモリ制御回路とから構成される。又、メモリ制御回路には、ビデオメモリに書き込むデジタル映像信号のフィールドの奇偶を判別するフィールド判別回路が設けられている。

そして、メモリに記憶すべき映像信号が含まれた複合映像信号から、水平同期信号(外部水平同

期信号)及び垂直同期信号(外部垂直同期信号)を分離する。その外部水平同期信号に同期したクロック信号を作って、水平カウンタに供給して計数させ、その水平カウンタを、外部水平同期信号によってクリア(リセット)する。水平カウンタから得られた、外部水平同期信号に同期した水平同期信号(内部水平同期信号)を、垂直カウンタに供給して計数させる。そして、外部垂直同期信号によって、垂直カウンタをクリア(リセット)する。この垂直カウンタから、内部垂直同期信号が得られる。

ビデオメモリは、直列転送形のラインメモリ部及びフレームメモリ部から構成されている。フレームメモリ部は複数のラインメモリ部から成る奇数フィールドメモリ部と、複数のラインメモリ部から成る偶数フィールドメモリ部から構成されている。

映像信号をA/D変換回路に供給してデジタル映像信号に変換し、そのデジタル映像信号に、フィールド判別回路で判別されたフィールドの奇偶

に応じたフィールド判別データを、最上位ビット又は最下位ビットとして付加する。このフィールド判別データの付加されたデジタル映像信号は、ビデオメモリの直列転送形ラインメモリに供給されて、上述のクロック信号によって直列転送され、その直列転送形ラインメモリに1ライン分のデジタル映像信号が書き込まれると、それが内部水平同期信号によって、フレームメモリ部に並列転送される。フレームメモリ部に転送されて来たデジタル映像信号の各ライン信号は、そのフィールド判別データに応じた奇数又は偶数メモリ部の、垂直カウンタの計数値で決まるアドレスのラインメモリに順次書き込まれる。かくして、このビデオメモリには、デジタル映像信号の1フレーム分が書き込まれる。

このようにしてビデオメモリに書き込まれた1フレーム分のデジタル映像信号は、インターレース方式で、又はノンインターレース方式で読み出され、この読み出された1フレーム分のデジタル映像信号は、D/A変換回路に供給されてアナロ

グ映像信号に変換された後、又は、デジタル映像信号のままで、静止画信号としてモニタ受像機に供給されて映出され、あるいはビデオプリンタに供給されてプリントされ、又は、適当に変調された後、伝送線路を通じて他の静止画通信端末に伝送される。

#### (発明が解決しようとする課題)

かかる従来の映像記憶装置のフレームメモリに、VTRあるいはビデオディスク再生装置からの静止画再生映像信号、高速サーチ再生映像信号、低速再生映像信号等の変速再生映像信号又はマイクロコンピュータからのノンインターレース映像信号等を記憶させようとする場合には、次のような問題が生じる。

即ち、この従来の映像記憶装置に、奇数又は偶数の一方のフィールドの映像信号のみが連続して供給される場合には、そのフレームメモリには、1フィールド分の映像信号しか書き込まれないので、これを読み出してモニタ受像機にて再生した

場合には、再生画像の垂直解像度は頗る低くなる。

又、この従来の映像記憶装置に、ノンインターレース映像信号が連続して供給される場合には、フィールド判別回路によって、その映像信号のフィールドの奇偶を判別することができないので、そのフレームメモリにはその映像信号は全く書き込まれないことになる。

更に、この従来の映像記憶装置に、1フィールド期間において、奇数及び偶数フィールドの映像信号が入り混じった映像信号が供給される場合には、フィールドの奇偶の判別ができた場合であっても、そのメモリに書き込まれる映像信号の量は1フレームより少なく、又、フィールドの奇偶が判別できないときは、そのメモリにはその映像信号は全く書き込まれないことになる。

かかる点に鑑み、本発明は、映像信号をフレーム単位で記憶することのできる映像記憶装置において、その映像信号がインターレース方式あるいはノンインターレース方式の信号のいずれであっても、又、元々インターレース方式の信号であっ

て、フィールドの奇偶が明らかでなかったり、奇数及び偶数フィールドの信号が入乱れていても、回路構成簡単にして、垂直解像度の高い映像信号が読み出され得るものを提案しようとするものである。

(課題を解決するための手段)

本発明は、映像信号をフレーム単位で記憶するメモリ(29)と、クロック信号が供給されて計数され、映像信号に関連した外部水平同期信号に同期した水平周波数の2倍の周波数を有する内部周波数信号を発生する水平カウンタ(7)と、内部周波数信号が供給されて計数され、映像信号に関連した外部垂直同期信号に同期した内部垂直同期信号を発生する垂直カウンタ(10)とを有し、垂直カウンタ(10)の計数出力の内、外部水平同期信号又は水平カウンタ(7)から得た外部同期信号に同期した内部水平同期信号のタイミングで選択された出力を、垂直アドレス信号としてメモリ(29)に供給するようにしたものである。

(作用)

かかる本発明によれば、垂直カウンタ(10)の計数出力の内、外部水平同期信号又は水平カウンタ(7)から得た外部同期信号に同期した内部水平同期信号のタイミングで選択された出力を、垂直アドレス信号としてメモリ(29)に供給する。

(実施例)

以下に、第1図を参照して、本発明による映像記憶装置の実施例を説明する。(1)は複合映像信号の入力端子である。入力端子(1)からの複合映像信号は、同期分離回路(AFC等を含む)

(2)及びA/D変換回路(27)に供給される。

入力映像信号がA/D変換回路(27)に供給され、これに供給される後述するPLL回路

(12)の可変発振器(6)からのクロック信号によって、デジタル映像信号に変換される。このデジタル映像信号は、フレームメモリ(ビデオ

RAM)(29)に供給されて、後述するメモリ制御回路(30)の制御の下に書き込まれ、又、読み出される。メモリ(29)から読み出されたデジタル映像信号は、D/A変換回路(31)に供給されてアナログ映像信号に変換された後、後述する内部水平同期信号HD<sub>i</sub>及び内部垂直同期信号VD<sub>i</sub>と共に、モニタ受像機(32)に供給される。

(2)は同期分離回路で、これに供給された複合映像信号から、外部水平同期信号HD<sub>e</sub>及び外部垂直同期信号VD<sub>e</sub>が分離されて出力される。尚、外部水平同期信号HD<sub>e</sub>には、AFCが掛けられている。

(12)はPLL回路で、位相比較器(3)、位相比較器(3)の出力が第1のスイッチ(アナログスイッチ)(4)を通じて供給されるローパスフィルタ(5)及びローパスフィルタ(5)の出力が供給されて発振周波数が制御される可変発振器(6)を備えている。

(7)は水平カウンタで、そのクリア端子に同

期分離回路(2)からの外部水平同期信号 $HD_1$ が、第2のスイッチ(9)を通じて供給される共に、PLL回路(12)の変発振器(6)からのクロック信号(例えば、色副搬送波周波数の4倍の周波数、即ち約14.3MHzの周波数を有する)が、カウンタ(7)のクロック端子に供給される。そして、カウンタ(7)の出力側から、内部水平同期信号 $HD_2$ の得られる出力端子(8)が導出される。この出力端子(8)からの内部水平同期信号 $HD_2$ は、モニタ受像機(32)に供給される。又、この水平カウンタ(7)からは、外部水平同期信号 $HD_1$ の周波数の2倍の周波数の内部周波数信号FSが出力される。

そして、同期分離回路(2)からの外部水平同期信号 $HD_1$ 及びカウンタ(7)からの内部水平同期信号 $HD_2$ が、PLL回路(12)の位相比較器(3)に供給されて位相比較される。

(10)は垂直カウンタで、そのクリア端子に同期分離回路(2)からの外部垂直同期信号 $VD_1$ が供給されると共に、そのクロック端子に水平カ

ウンタ(7)からの、水平周波数の2倍の周波数の内部周波数信号FSが供給される。そして、カウンタ(10)の出力側から、内部垂直同期信号 $VD_2$ が出力される出力端子(11)が導出される。この出力端子(11)からの内部垂直同期信号 $VD_2$ が、モニタ受像機(32)に供給される。

このカウンタ(10)からは、垂直掃線期間及びその前後の期間から成る期間では「0」、それ以外の期間、即ち映像表示期間では「1」と成るスイッチング制御信号が発生し、このスイッチング制御信号によって、第1及び第2のスイッチ(4)、(9)が制御される。

そして、映像表示期間においては、第1のスイッチ(4)がオンにされる共に、第2のスイッチ(9)がオフにされて、その期間はカウンタ(7)に、PLL回路(12)からの外部同期信号に同期したクロック信号が供給される。

又、映像表示期間以外の期間においては、第1のスイッチ(4)がオフ、第2のスイッチ(9)がオンにされて、カウンタ(7)は外部水平同期

信号 $HD_1$ によってクリアされる共に、変発振器(6)の発振周波数は、垂直掃線期間の直前のローパスフィルタ(5)の出力のレベルに応じた周波数に固定され、その固定周波数の発振出力がカウンタ(7)に供給される。

従って、1垂直期間に亘って、内部水平同期信号が外部水平同期信号に安定に同期し、PLL回路の引き込みが見掛け上早く成り、且つPLL回路の時定数の如何に拘わらず、内部水平同期信号に対する外部水平同期信号の垂直掃線期間におけるノイズの影響を除去することができる。

そして、水平カウンタ(7)及び垂直カウンタ(10)夫々の計数出力は、メモリ制御回路(30)に供給される。又、このメモリ制御回路(30)には、入力端子(30WR)から書き込み/読み出し制御信号が、入力端子(30V)、(30H)から外部垂直同期信号 $VD_1$ 及び外部水平同期信号 $HD_1$ が夫々供給される。

ビデオメモリ(29)は、ここでは、直列転送形のラインメモリ部及びフレームメモリ部から構

成されている。フレームメモリ部は複数のラインメモリ部から成る奇数フィールドメモリ部及び複数のラインメモリ部から成る偶数フィールドメモリ部から構成されている。この場合、奇数及び偶数メモリ部の各ラインメモリ部は、奇数メモリ部のラインメモリ部を先頭にして、交互に配されて一連のアドレス番号が付されている。

次に、第2図のタイミングチャートをも参照して、このメモリ(29)に対する映像信号(デジタル映像信号)の書き込みについて説明する。第2図において、Aは外部垂直同期信号 $VD_1$ 、B及びCは、夫々外部垂直同期信号 $VD_1$ に対する位相が、水平同期信号の周期の1/2だけ異なる外部水平同期信号 $HD_1$ 、Dは内部周波数信号FSの夫々波形を示す。

入力端子(1)からの入力映像信号をA/D変換回路(27)に供給して、デジタル映像信号に変換した後、これをビデオメモリ(29)の直列転送形ラインメモリに供給して、上述のクロック信号によって直列転送し、その直列転送形ライン

メモリに1ライン分のデジタル映像信号が書き込まれたら、それを外部水平同期信号HD<sub>1</sub>（内部水平同期信号HD<sub>2</sub>も可）を転送パルスとして、その前縁のタイミングでフレームメモリ部に並列転送する。

まず、外部垂直同期信号VD<sub>1</sub>の後縁の位相が、第2図Aの実線の場合の、垂直カウンタ(10)の計数内容の変化を第2図Eに示し、このときはフレームメモリ部に転送されて来たデジタル映像信号の各ライン信号は、そのときの外部水平同期信号HD<sub>1</sub>の前縁のタイミングにおいて、垂直カウンタ(10)からフレームメモリ部に供給される、その計数値に対応したアドレスのラインメモリ部に書き込まれる。即ち、外部垂直同期信号VD<sub>1</sub>に対する外部水平同期信号HD<sub>1</sub>の位相が第2図Bのときは、第2図Fに示す如く、そのアドレスは2、4、6、8、・・・と変化し、外部垂直同期信号VD<sub>1</sub>に対する外部水平同期信号HD<sub>1</sub>の位相が第2図Cのときは、第2図Gに示す如く、そのアドレスは1、3、5、7、・・・と変化する。従って、

図Bのときは、第2図Iに示す如く、そのアドレスは3、5、7、9、・・・と変化する。従って、これら第2図J、1から、ビデオメモリ(29)に供給されるデジタル映像信号の内、最初の1フィールド分は、フレームメモリ部の2から始まる偶数アドレスのラインメモリ部に書き込まれ、それに続く1フィールド分は、フレームメモリ部の3から始まる奇数アドレスのラインメモリ部に書き込まれる。この場合は、このメモリ(29)の内容を読み出して再生した場合、上述の場合と比較して、画面が1ラインだけ下方に移動するだけである。

従って、入力映像信号の内の1フレーム分の信号が、前半の奇数フィールド分の信号及び後半に続く偶数フィールド分の信号は固より、ノンインターレース信号の映像信号であっても、前半及び後半の信号において、フィールドの奇偶が入り乱れていても、あるいはフィールドの奇偶がなくても、夫々ビデオメモリ(29)には、入力映像信号の1フレーム分の信号が、その前半の1フィールド

これら第2図F、Gから、ビデオメモリ(29)に供給されるデジタル映像信号の内、最初の1フィールド分は、フレームメモリ部の1から始まる奇数アドレスのラインメモリ部に書き込まれ、それに続く1フィールド分は、フレームメモリ部の2から始まる偶数アドレスのラインメモリ部に書き込まれる。

次に、外部垂直同期信号VD<sub>1</sub>の後縁の位相が、第2図Aの破線の場合の、垂直カウンタ(10)の計数内容の変化を第2図Hに示し、このときもフレームメモリ部に転送されて来たデジタル映像信号の各ライン信号は、そのときの外部水平同期信号HD<sub>1</sub>の前縁のタイミングにおいて、垂直カウンタ(10)からフレームメモリ部に供給される、その計数値に対応したアドレスのラインメモリ部に書き込まれる。即ち、外部垂直同期信号VD<sub>1</sub>に対する外部水平同期信号HD<sub>1</sub>の位相が第2図Cのときは、第2図Jに示す如く、そのアドレスは2、4、6、8、・・・と変化し、外部垂直同期信号VD<sub>1</sub>に対する外部水平同期信号HD<sub>1</sub>の位相が第2

分及びその後半の1フィールド分が、ライン毎に交互に書き込まれ、即ち1フレーム分のデジタル映像信号が書き込まれる。

このようにしてビデオメモリに書き込まれた1フレーム分のデジタル映像信号は、インターレース方式で、又はノンインターレース方式で読み出され、この読み出された1フレーム分のデジタル映像信号は、D/A変換回路に供給されてアナログ映像信号に変換された後（デジタル映像信号のまま、も可）、上述の内部水平同期信号HD<sub>2</sub>及び内部垂直同期信号VD<sub>2</sub>と共に、モニタ受像機(32)に供給することにより、垂直解像度の高い映像を再生することができる。

但し、この映像記憶装置に供給される映像信号が、VTRからの変速再生信号とか、マイクロコンピュータからのノンインターレース方式の映像信号である場合は、通常のインターレース方式の映像信号に比べれば、再生映像の垂直解像度は落ちるが、いずれにしても、従来例の場合に比べれば、夫々の映像信号においては、その再生画像の

垂直解像度は高く成っている。

又、メモリ(29)に供給されるデジタル映像信号のフィールドの奇偶を判別するフィールド判別回路を必要としないので、回路構成も簡単に成る。

上述の実施例においては、ビデオRAM(29)がラインメモリ部及びフレームメモリ部から構成された場合について述べたが、フレームメモリ部のみから構成される場合は、水平カウンタ(7)の計数出力を、水平アドレス信号としてメモリ制御回路(30)を通じてビデオRAM(29)に与えると共に、垂直カウンタ(10)の計数出力を、外部水平同期信号HD<sub>1</sub>又は内部水平同期信号HD<sub>2</sub>がラッチパルスとして供給されるラッチ回路に供給し、そのラッチ出力を垂直アドレス信号としてメモリ制御回路(30)を通じてビデオRAM(29)に与えるようにすれば良い。

次に、第3図を参照して、本発明を適用して好適な、静止画通信端末について説明する。

第1図において、(21)はコンピュータ(マ

イクロコンピュータ)で、CPU(中央処理装置)(22)、ROM(23)及びRAM(24)から構成される。(25)は、CPU(22)のバス(データバス、アドレスバス、制御バス等から成る)で、ROM(23)及びRAM(24)は、このバス(25)に接続されている。そして、このコンピュータ(21)は、この静止画通信端末の各部を制御する。

(20)は、伝送線路(19)とバス(25)との間に接続された、その伝送線路(19)の静止画信号のプロトコル及び伝送速度に応じた通信インターフェース及び通信処理回路である。この通信処理回路は、送信のための符号化、変調等及び受信のための復号化、復調等の夫々送信処理及び受信処理を行うものである。

(29)はビデオメモリ(ビデオRAM)で、フレームメモリにて構成され、バス(25)に接続されている。(30)はメモリ制御回路(書き込み/読み出し制御回路及びアドレス信号発生回路)で、バス(25)に接続されて、コンピュータ

(21)によって制御される。

(28)は、第1図で説明した同期分離回路(2)、PLL回路(12)、水平カウンタ(7)及び垂直カウンタ(10)から成る同期回路で、ここでは入力端子(1)に供給されるビデオカメラ、VTR等からの複合映像信号を受けて、これから外部水平同期信号及び外部垂直同期信号を分離し、これらの信号に基づいて、内部水平同期信号、内部垂直同期信号及びクロック信号を形成する。

又、入力端子(1)からの複合映像信号は、A/D変換回路(27)に供給され、同期回路(28)からのクロック信号によって、その映像信号がデジタル映像信号に変換された後、ビデオメモリ(29)に供給されて、静止画信号としてのフレーム映像信号が書き込まれる。

又、第1図における水平カウンタ(7)及び垂直カウンタ(10)からの各出力は、上述と同様に、メモリ制御回路(30)を通じて、メモリ(29)に供給される。尚、このメモリ(29)

へのデジタル映像信号の書き込みの仕方は、第1図と同様なので、説明を省略する。

又、上述の書き込み時のアドレス信号又はこれとは別の読み出し専用のアドレス信号を用いて、フレームメモリ(29)から読み出されたフレーム映像信号(デジタルフレーム映像信号)は、D/A変換器(31)に供給されてアナログ映像信号に変換され、同期回路(28)からの内部水平同期信号及び内部垂直同期信号と共に、モニタ受像機(32)及びビデオプリンタ(33)に供給されると共に、コンピュータ(21)を通じてインターフェース及び通信処理回路(20)に供給され、伝送線路(19)を通じて、他の静止画通信端末に供給される。

尚、上述の実施例では、ビデオメモリとして、デジタル映像信号の1フレーム分を記憶するメモリの場合について述べたが、複数フレーム分のデジタル映像信号を記憶し得るメモリであっても良い。

(発明の効果)

D/A変換回路、(32)はモニタ受像機である。

上記せる本発明によれば、映像信号をフレーム単位で記憶することのできる映像記憶装置において、映像信号がインターレース方式あるいはノンインターレース方式の信号のいずれであっても、又、元々インターレース方式の信号であって、フィールドの奇偶が明らかでなかったり、奇数及び偶数フィールドの信号が入乱れていても、回路構成簡単にして、垂直解像度の高い映像信号を読み出すことのできるものを得ることができる。

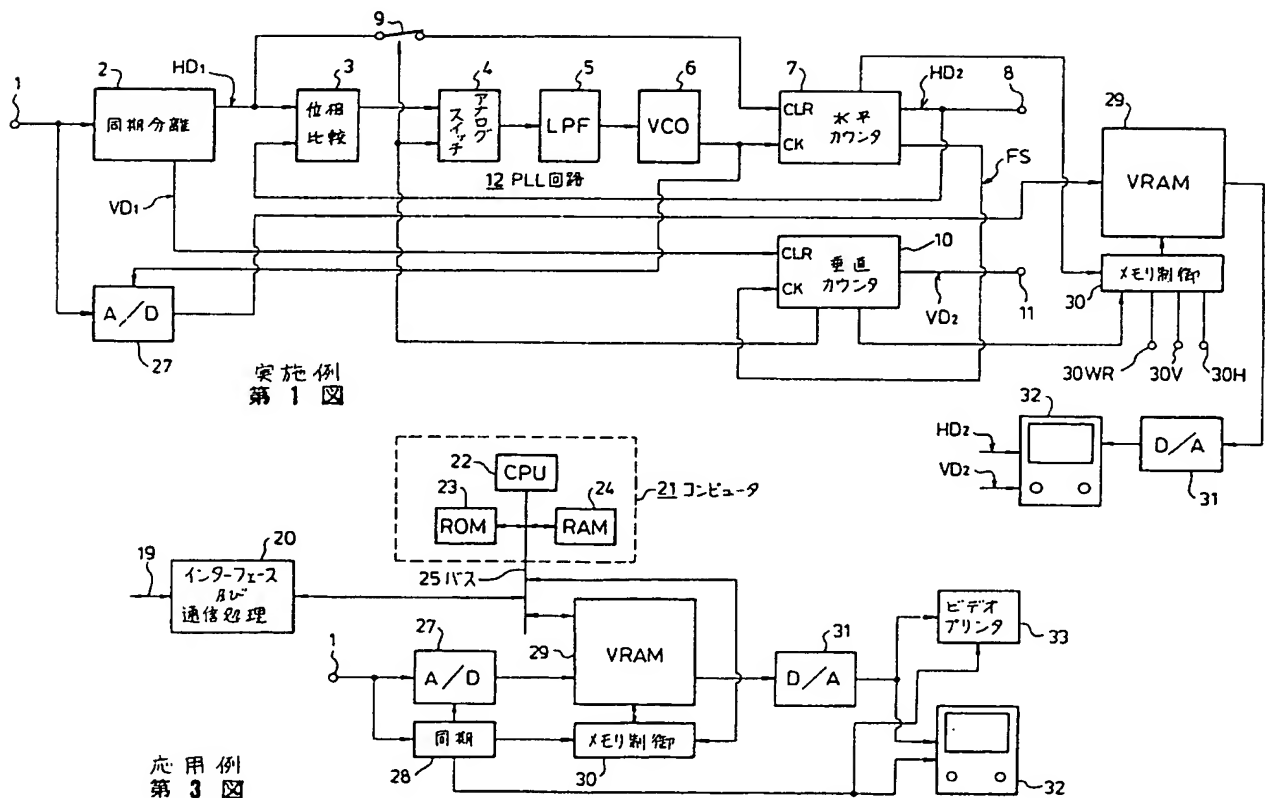
図面の簡単な説明

第1図は本発明の実施例を示すブロック線図、第2図は第1図の実施例の動作説明に供するタイミングチャート、第3図は本発明を適用して好適な静止画通信端末の一例を示すブロック線図である。

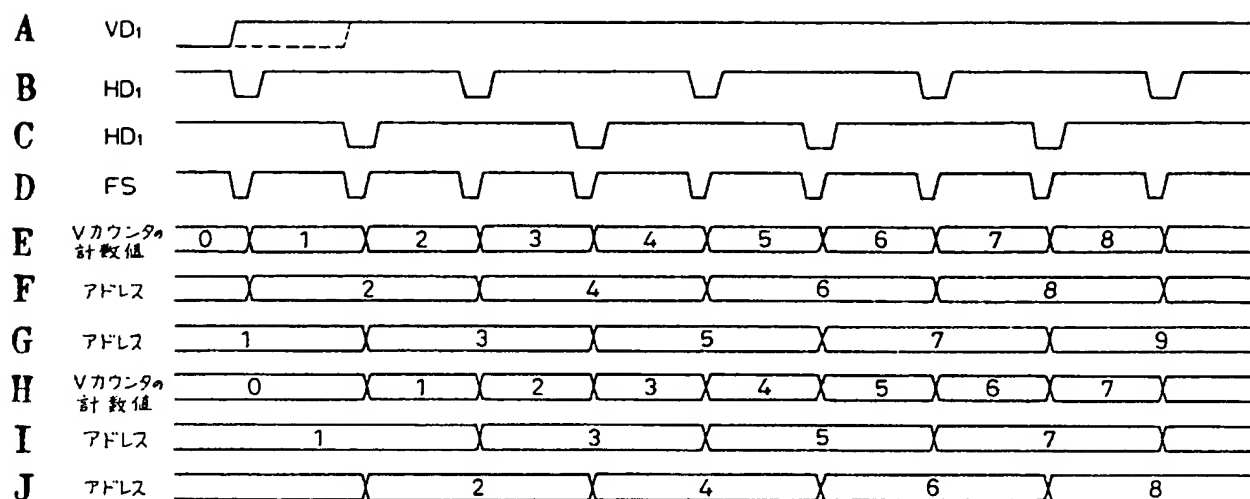
(2)は同期分離回路、(7)は水平カウンタ、(10)は垂直カウンタ、(12)はPLL回路、(27)はA/D変換回路、(29)はビデオメモリ、(30)はメモリ制御回路、(31)は

代理人 伊藤 貞

同 松隈 秀盛







タイミングチャート  
第 2 図